

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189708

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H01L 21/76

(21)Application number : 09-334150

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 04.12.1997

(72)Inventor : BOKU TAISHO
KYO KOKEI

(30)Priority

Priority number : 96 9666948
97 9717191

Priority date : 17.12.1996
03.05.1997

Priority country : KR

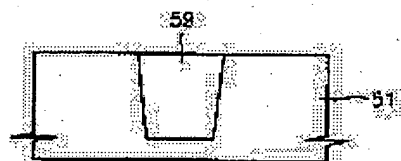
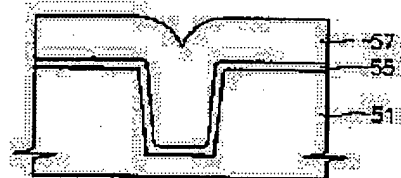
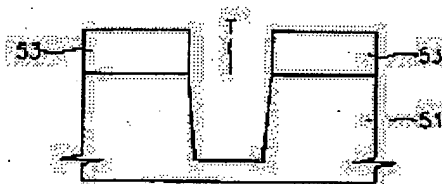
KR

(54) TRENCH ELEMENT ISOLATING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of manufacturing processes, by a method wherein a trench is formed by using a substance layer patterned on a semiconductor substrate as an etching mask, the substance layer is removed, the trench is filled up by an insulating layer, and the substrate is flattened until it is exposed.

SOLUTION: A photoresist layer is formed on a semiconductor substrate 51 by applying a substance which is used as an etching mask, and a substance layer 53 is formed by patterning a part of the substrate to expose. A trench T is formed by etching the substrate 51 using the mask pattern 53 as an etching mask. The mask pattern 53 is removed by photoresist ashing. Trench T is filled up, and an insulating film 57, having a prescribed thickness, is formed on the substrate 51. The insulating film 57 is flattened until the semiconductor substrate 51 is exposed, and an element isolation film 49, with which the trench is filled up, is formed. As a result, an element isolation film can be formed by the simplified process.



LEGAL STATUS

[Date of request for examination]

07.05.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The trench isolation method characterized by providing the following. The stage which forms the matter layer by which patterning was carried out on a semiconductor substrate. The stage which uses the matter layer by which patterning was carried out [aforementioned] as a chemical engraving mask, etches the aforementioned substrate in the predetermined depth, and forms a trench. The stage which removes the matter layer by which patterning was carried out [aforementioned]. The stage which carries out flattening and completes a trench isolation film until the aforementioned substrate is exposed to the aforementioned result object with which the stage which embeds the aforementioned trench by the insulating layer, and the trench embedded by the insulating layer were formed.

[Claim 2] The stage which forms the matter layer by which patterning was carried out [aforementioned] is the trench isolation method according to claim 1 characterized by having the stage which forms a matter layer on a semiconductor substrate, and the stage which forms the matter layer by which patterning was carried out by carrying out patterning of the aforementioned matter layer.

[Claim 3] The aforementioned matter layer is the trench isolation method according to claim 2 characterized by having a photoresist layer.

[Claim 4] The aforementioned matter layer is the trench isolation method according to claim 2 characterized by having an oxide film.

[Claim 5] The trench isolation method according to claim 2 characterized by forming the oxide film for strengthening the adhesive property of the aforementioned matter layer and a substrate, carrying out patterning of the oxide film and forming an oxide-film pattern on the aforementioned semiconductor substrate after the stage which carries out patterning of the aforementioned matter layer before the stage which forms the aforementioned matter layer.

[Claim 6] The aforementioned stage which carries out flattening is the trench isolation method according to claim 1 characterized by having the stage which carries out CMP of the aforementioned result object with which the trench embedded by the insulating layer was formed.

[Claim 7] The trench isolation method according to claim 1 characterized by taking further the stage which forms a sacrifice oxide film all over [aforementioned / with which the isolation film was formed after the aforementioned stage which carries out flattening] a result object, the stage of pouring in an impurity all over an object as a result of forming a sacrifice oxide film, and the stage which removes the aforementioned sacrifice oxide film, and having it.

[Claim 8] The stage of pouring in the aforementioned impurity is the trench isolation method according to claim 7 characterized by being an ion-implantation stage for well formation, channel prevention field formation, and threshold voltage regulation.

[Claim 9] The trench isolation method according to claim 7 characterized by having further the stage of etching the aforementioned isolation film front face alternatively so that the recess of the aforementioned isolation film front face may be carried out to the aforementioned substrate before the stage which forms the aforementioned sacrifice oxide film.

[Claim 10] The stage of ****(ing) on the aforementioned selection target is the trench isolation

method according to claim 9 characterized by etching an isolation film front face and forming the level difference of about 100–1000Å in an isolation film and a substrate front face.

[Claim 11] The trench isolation method according to claim 10 characterized by using the aforementioned level difference as an anyne key of a consecutiveness process.

[Claim 12] The stage of etching on the aforementioned selection target is a nitric acid (HNO_3) and an ammonium hydroxide (NH_4OH). And the trench isolation method according to claim 9 characterized by the thing [to do for a dry type chemical engraving] which use either the solution with which hydrogen peroxide solution (H_2O_2) was mixed, and the diluted fluoric acid (HF), which carry out a wet chemical engraving or, which is depended on plasma.

[Claim 13] The trench isolation method according to claim 7 characterized by having further the stage of etching the aforementioned substrate front face alternatively so that the recess of the aforementioned substrate front face may be carried out to the aforementioned isolation film before the stage which forms the aforementioned sacrifice oxide film.

[Claim 14] The stage of etching on the aforementioned selection target is the trench isolation method according to claim 13 characterized by etching the aforementioned substrate front face and forming the level difference of 100–1000Å grade in an isolation film and a substrate front face.

[Claim 15] The trench isolation method according to claim 14 characterized by using the aforementioned level difference as an anyne key of a consecutiveness process.

[Claim 16] The aforementioned chemical engraving is the trench isolation method according to claim 13 characterized by having the wet chemical engraving using the solution with which an ammonium fluoride (NH_4F) and fluoric acid (HF) were mixed.

[Claim 17] The stage which removes the aforementioned sacrifice oxide film is the trench isolation method according to claim 13 characterized by carrying out over-etching of the aforementioned sacrifice oxide film so that flattening of the aforementioned substrate front face and the isolation film front face may be carried out.

[Claim 18] The stage of pouring in the aforementioned impurity is the trench isolation method according to claim 13 characterized by having an ion-implantation stage for well formation, channel prevention field formation, and threshold-voltage regulation.

[Claim 19] The trench isolation method according to claim 1 characterized by having further the stage which forms a thin thermal oxidation film all over an object as a result of removing the matter layer by which patterning was carried out, in order to remove the defect produced after the stage which removes the matter layer by which turning was carried out [aforementioned] on the occasion of trench formation.

[Claim 20] The trench isolation method according to claim 1 characterized by having further a heat treatment process for strengthening combination of the aforementioned insulating layer after the stage which forms the aforementioned insulating layer.

[Claim 21] The aforementioned heat treatment process is the trench isolation method according to claim 20 characterized by carrying out in 700–1200 degrees C and nitrogen (N_2) atmosphere for 30 minutes to 16 hours.

[Claim 22] The trench isolation method characterized by providing the following. The stage which forms the matter layer by which patterning was carried out on a semiconductor substrate. The stage which uses the matter layer by which patterning was carried out [aforementioned] as a chemical engraving mask, etches the aforementioned substrate in the predetermined depth, and forms a trench. The stage which removes the matter layer by which patterning was carried out [aforementioned]. The stage which forms a level difference between the aforementioned isolation film front face and a substrate front face so that the stage which embeds the aforementioned trench by the insulating layer, the stage which carry out flattening and form an isolation film until the aforementioned substrate is exposed to the aforementioned result object with which the insulating layer was formed, and the aforementioned substrate front face etch alternatively, and the injury and the contamination of a semiconductor substrate by the aforementioned flattening process minimize and it may use as an anyne key of a consecutiveness process.

[Claim 23] The stage which forms the matter layer by which patterning was carried out on a

semiconductor substrate, and the stage which uses the matter layer by which patterning was carried out [aforementioned] as a chemical engraving mask, etches the aforementioned substrate in the predetermined depth, and forms a trench, The stage which removes the matter layer by which patterning was carried out [aforementioned], and the stage which embeds the aforementioned trench by the insulating layer, The stage which carries out flattening and forms an isolation film until the aforementioned substrate is exposed to the aforementioned result object with which the insulating layer was formed, The trench isolation method characterized by taking and having the stage which forms a level difference between the aforementioned isolation film front face and a substrate front face so that the aforementioned isolation film front face may be etched alternatively and it can use as an anyne key of a consecutiveness process.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the isolation method of a semiconductor device, especially relates to the trench isolation method.

[0002]

[Description of the Prior Art] For reduction of an isolation field which separates between elements as it turns minutely, a memory semiconductor device is [high integration and] ***** as an important item. Formation of an isolation field is the process of the initial stage in all manufacturing process stages, and will influence the size of an active region, and the process margin (margin) of a back process step. Therefore, the whole chip pattern is set to carry out proportionality reduction, and proportionality reduction of an isolation field is indispensable.

[0003] Generally, the isolation method (below LOCAl Oxidation of Silicon; LOCOS) by the alternative oxidization widely used for manufacture of a semiconductor device has the advantage that the process is easy. However, 256M The aforementioned LOCOS process in the semiconductor device with which it integrated highly more than the DRAM class has resulted in the limitation by the trouble called a punch through, thickness reduction of a field oxide film, etc. by the BAZU beak (Bird's Beak) by which it is accompanied in the case of oxidization as the width of face (Width) of isolation decreases.

[0004] Since it is not based on a thermal oxidation process like the LOCOS method but a field oxide film is formed, the isolation method using the trench proposed in order to improve the trouble of a LOCOS process can reduce the demerit in the LOCOS method induced by the thermal oxidation process to some extent. In addition, since TORANCHI of the fixed depth is formed in a semiconductor substrate and the interior is embedded in insulating material at it, it may have the isolation depth deeper than LOCOS to the width of face of the same isolation.

[0005] The trench isolation method raises an example to paper "A Highly Manufacturable Trench Isolation Process for DeepSubmicron DRAMs" (57- 60 page, IEDM Tech.Digest, 1993, author- Fazanetal.), and is indicated.

[0006] Drawing 1 is illustrating the trench isolation stage by the aforementioned paper. a pad oxide film and a silicon nitride are formed (stages I and II) — the photoresist pattern for making it open [begin] in the portion by which a trench is formed on a silicon nitride is formed (stage III) After carrying out patterning of a silicon nitride and the pad oxide film using the aforementioned photoresist pattern as a mask (stage IV) and removing a photoresist pattern (stage V), a trench is formed by etching a substrate using the silicon nitride and pad oxide film by which patterning was carried out as a mask (stage VI). A trench side attachment wall is made to oxidize thermally, and the oxide film embedding a trench is formed using the CVD method (stage VII). CMP (Chemical-Mechanical Polishing) of the CVD oxide film embedding a trench is carried out, and it carries out flattening (stage VIII). The silicon nitride by which patterning was carried out is removed (stage IX). Although not illustrated, an oxide spacer is formed in the side attachment wall of the back oxide film of Stage IX, the wet chemical engraving of the pad oxide film is carried out, and an isolation layer is completed.

[0007]

[Problem(s) to be Solved by the Invention] The technical technical problem which this invention tends to achieve is offering the trench isolation method the number of whole manufacturing processes having decreased.

[0008] Another technical technical problem which this invention tends to achieve is offering the trench isolation method the aryne key formation process which follows being skipped.

[0009]

[Means for Solving the Problem] According to the trench isolation method for achieving the aforementioned technical problem, the matter layer by which patterning was carried out is formed on a semiconductor substrate. Subsequently, the aforementioned substrate is etched in the predetermined depth using the matter layer by which patterning was carried out

[aforementioned] as a chemical engraving mask, a trench is formed, and the matter layer by which patterning was carried out [aforementioned] is removed. Then, flattening is carried out and a trench isolation film is completed until the aforementioned substrate is exposed to the aforementioned result object with which the trench which embedded the aforementioned trench by the insulating layer and was embedded by the insulating layer was formed.

[0010] The matter layer by which patterning was carried out [aforementioned] can be formed in a photoresist. Therefore, pad oxide-film formation, silicon nitride formation, patterning, and a removal process step are contracted.

[0011] According to the trench isolation method for achieving the aforementioned technical problem and another technical problem, the aforementioned isolation film front face can be alternatively etched after the aforementioned chemical machinery-polish process, and the level difference of the aforementioned isolation film front face and substrate front face which were formed of this can be used as an aryne key of a consecutiveness process.

[0012] Moreover, according to the trench isolation method for achieving the aforementioned technical problem and another technical problem, the aforementioned substrate front face can be alternatively etched after the aforementioned chemical machinery-polish process. The level difference of the aforementioned isolation film front face and substrate front face which were formed of this can be used as an aryne key of a consecutiveness process, and the injury and contamination of a semiconductor substrate by the aforementioned chemical machinery-polish process can also be minimized.

[0013] And although according to this invention a process may be further added since the property of the element formed is raised, while removing the defect which formed the thin thermal oxidation film all over the object as the example as a result of removing a mask pattern, and was produced on the occasion of trench formation, after forming an insulating layer, a heat treatment process is carried out and combination of an insulating layer can be strengthened. In addition, an oxide film is formed on a semiconductor substrate before the matter stratification, and the adhesive property of a matter layer and a semiconductor substrate can be strengthened.

[0014]

[Embodiments of the Invention] Hereafter, with reference to the appended drawing, the desirable example of this invention is explained in detail. however, this invention is limited to the example indicated below — not having — a difference — it should be embodied with various gestalten, and the start of this invention is only made perfect, and this example is offered in order to tell completely those who have the usual knowledge about the category of invention In the appended drawing, many films and the thickness of a field etc. were emphasized for legibility. Moreover, if a certain film exists on other films or a substrate, when a designation will be carried out, it may be also right above other films or a substrate, and an interlayer film may exist. In a drawing, the same reference mark expresses the same member. Various stages for raising the separation property of a trench isolation field besides the trench isolation process step shown in drawing 2 can be added.

[0015] If drawing 2 is referred to, a photoresist pattern will be formed in the whole surface of a semiconductor substrate (stage A), and a trench will be formed in the aforementioned semiconductor substrate (stage B). Subsequently, flattening is carried out, after removing the aforementioned photoresist pattern (stage C) and embedding a trench by insulating material

(stage D) (stage E). As shown in drawing 2, in order that the trench isolation process of this invention may only use a photoresist pattern as a mask, stages, such as four stages I shown in drawing 1, i.e., a pad oxide-film formation stage, the silicon nitride formation stage II, the silicon nitride patterning stage IV, and the silicon nitride removal stage IX, become unnecessary. Since a semiconductor device manufacturing process can be simplified by this, reduction of manufacturing expenses is possible.

[0016] The 1st example of this invention by the <1st example> aforementioned process is explained with reference to drawing 3 or drawing 6.

[0017] If drawing 3 is referred to, after applying the matter used for the whole surface of the semiconductor substrate 51 as a chemical engraving mask, for example, a photoresist, and forming a photoresist layer, the matter layer 53 by which patterning was carried out by carrying out patterning so that a part of aforementioned substrate might be exposed is formed. According to the desirable example, before forming the aforementioned mask pattern 53, a thin thermal oxidation film and the silicon oxide using the chemistry gaseous-phase vacuum deposition are formed, and the adhesive property of the aforementioned mask pattern 53 and a substrate 51 can be improved. In addition, the aforementioned mask pattern 53 can form the more detailed trench at this time, although the formation is possible also for a silicon oxide instead of a photoresist.

[0018] If drawing 4 is referred to, the aforementioned mask pattern 53 will be used as a chemical engraving mask, and Trench T will be formed by etching the aforementioned substrate 51 in the predetermined depth.

[0019] Drawing 5 illustrates the stage which forms an insulating layer 57.

[0020] For example, when the aforementioned mask pattern 53 is formed in a photoresist, the aforementioned mask pattern 53 is removed by usual method like photograph register store SHINGU (Ashing). Subsequently, the aforementioned trench T is embedded and the insulating layer 57 which has predetermined thickness on the aforementioned substrate 51 is formed.

[0021] The aforementioned insulating layer 57 can be formed with the silicon oxide (USG) with which an impurity is not doped, and can be formed by the chemistry gaseous-phase vacuum deposition, for example, the chemistry gaseous-phase vacuum deposition using high-density plasma (high density plazma).

[0022] Like, when [which was described above] forming the aforementioned mask pattern 53 with a silicon oxide, the aforementioned mask pattern 53 is removed before the insulating-layer 57 aforementioned formation, or is removed in the case of the insulating-layer 57 subsequent aforementioned flattening.

[0023] Since the defect and stress of a substrate 51 which can be generated at the time of plasma etching for forming a trench are removed according to the desirable example of this invention, as a result of removing a mask pattern 53, the thin thermal oxidation film 55 with a thickness of about 50-250Å can be formed all over an object before the insulating-layer 57 aforementioned formation.

[0024] Moreover, according to the desirable example of this invention, the grade operation of 700 degrees C - the 1200 degrees C of the heat treatment processes for making combination of the aforementioned insulating layer 57 strengthen can be desirably carried out in about 1000 degrees C and nitrogen (N₂) atmosphere after formation of the aforementioned insulating layer for about 1 hour for 30 minutes to 16 hours.

[0025] If drawing 6 is referred to, the isolation film 59 embedding a trench will be formed by carrying out CMP until the aforementioned semiconductor substrate 51 is exposed, and carrying out flattening of the aforementioned insulating layer 57. Subsequently, BOE (Buffered Oxide Etchant) and fluoric acid (HF) although not illustrated, after growing up a sacrifice oxide film into the thickness of 50-200Å through a sacrifice oxidization process and, performing the ion implantation for an impurity ion implantation, for example, a well, channel prevention, or threshold voltage regulation all over an object as a result It has further the process which removes the aforementioned sacrifice oxide film using silicon-oxide etchant [like].

[0026] Such a sacrifice oxidization process carries out the role which recovers the defect on the front face of a substrate which can be generated according to a CMP process, an injury, etc.,

therefore good gate oxide-film growth is attained. The result which measured the electrical property of the gate oxide film formed after the trench isolation by this invention is illustrated by drawing 14.

[0027] Since a chemical engraving process, a removal process, etc. for forming the conventional pad oxide-film growth process, a nitride vacuum evaporation process, and the pattern of this become unnecessary in order to form a trench in a substrate using a photoresist as a mask and to remove this mask after trench formation to before poor appearance according to the 1st example of this invention above, isolation film formation is possible through the process simplified more compared with the former.

[0028] <2nd example> drawing 7 and drawing 9 are the cross sections illustrated in order to explain the trench isolation method by the 2nd example of this invention. After the aforementioned CMP process in the 1st example, if the 2nd example of this invention removes that the recess of the isolation film is made to be carried out compared with a substrate, it is advanced identically to the 1st example of the above.

[0029] If drawing 7 is referred to, as well as the 1st example, an insulating layer 57 will be formed and it will advance to the stage which carries out CMP and carries out flattening of the aforementioned insulating layer 57 until the aforementioned semiconductor substrate 51 is exposed. Subsequently, the aforementioned isolation film 59 is etched in the fixed depth, and isolation film 59' by which the recess was carried out compared with the aforementioned substrate 51 is formed. The at present and aforementioned chemical engraving is the etchant which can etch only the isolation film 59 alternatively, for example, a nitric acid, (HNO₃), and an ammonium hydroxide (NH₄ OH). And the dry type chemical engraving by plasma is used, using the wet chemical engraving using the solution with which hydrogen peroxide solution (H₂ O₂) was mixed, or oxide etchant like fluoric acid (HF).

[0030] At this time, it is desirable to make a level difference with the depth to etch, i.e., the isolation film 59' front face formed of a chemical engraving, and substrate 51 front face into about 100-1000Å. This level difference can be used as an aryne key (align key) at the photograph process for subsequent processes, for example, gate electrode formation. According to the conventional general trench isolation method, since the flatness after CMP is good, a level difference must almost be lost with the last structure, and you have to form the aryne key pattern for a consecutiveness process independently. However, an aryne key formation process can be deleted by forming a level difference to the extent that it is recognized by aryne equipment as well as the 2nd example of the above.

[0031] As shown in drawing 8 and drawing 9, as a result of forming isolation film 59' by which the recess was carried out, henceforth, all over an object Add a sacrifice oxidization process and the sacrifice oxide film 58 is grown up into the thickness of 50-200Å. After, performing the ion implantation for an impurity ion implantation, for example, a well, channel prevention, or threshold voltage regulation all over an object as a result, isolation film 59' can be completed by removing the aforementioned sacrifice oxide film 58 using BOE or oxide-film etchant like fluoric acid.

[0032] According to the 2nd example explained above, after etching an after [CMP] isolation film alternatively and forming the level difference between an isolation film and a substrate, this is utilized as an aryne key at a consecutiveness process. Therefore, a manufacturing process can be simplified more.

[0033] Drawing 10 and drawing 11 are the cross sections illustrated in order to explain the trench isolation method by the 3rd example of this invention. If the 2nd example of this invention removes that the recess of the substrate 51 is made to be carried out compared with the isolation film 59 contrary to the 2nd example of the above after the aforementioned CMP process in the 1st example, it is advanced identically to the 1st example of the above.

[0034] If <3rd example> drawing 10 is referred to, first, an insulating layer 57 will be formed and the stage which carries out CMP and carries out flattening of the aforementioned insulating layer 57 until the aforementioned semiconductor substrate 51 is exposed will be advanced by the same method as the 1st example of the above. Subsequently, the aforementioned substrate 51 is alternatively etched in the fixed depth through the wet chemical engraving using the etchant which can etch only the aforementioned substrate, for example, the solution with which an

ammonium fluoride (NH_4F) and fluoric acid (HF) were mixed.

[0035] By this, the substrate 51 aforementioned front face will have the gestalt by which the recess was carried out compared with the isolation film 59. Thus, a substrate front face is etched in the fixed depth for removing the particle (Particle) contained in the slurry used by the defect by the stress and it which can carry out CMP in-process generating, or CMP on a substrate front face.

[0036] If drawing 11 is referred to, after growing up a sacrifice oxide film (not shown) into the thickness of 50-400Å through a sacrifice oxidization process and, performing the ion implantation for an impurity ion implantation, for example, a well, channel prevention, or threshold voltage regulation all over an object as a result all over [aforementioned / with which the recess was formed] a result object, the isolation film 59 is completed by removing the aforementioned sacrifice oxide film using oxide-film etchant like BOE or fluoric acid.

[0037] At this time, as shown, over-etching (over-etchi) can be performed in the case of the aforementioned sacrifice oxide-film removal, and the substrate 51 aforementioned front face and isolation film 59 front face can be made flat.

[0038] In addition, although the appearance aforementioned substrate 51 from which the level difference on an isolation film front face and the front face of a substrate becomes about 100-1000Å is etched as well as the 2nd example of the above and this level difference can be used as an anyne key of a consecutiveness process, over-etching is not carried out in this case in the case of the aforementioned sacrifice oxide-film removal.

[0039] as mentioned above — according to the 3rd explained example — the effect of the same process simplification as the 1st example — playing — this — the second half of CMP — a conductor — a semiconductor substrate injury, contamination, etc. by CMP can be minimized by etching a substrate alternatively Moreover, a manufacturing process can be simplified more by utilizing the level difference on an isolation film front face and the front face of a substrate as an anyne key at a consecutiveness process as well as the 2nd example of the above.

[0040] Drawing 12 or drawing 14 is a graph illustrating the result which measured the electrical property of an element after the trench isolation by the 1st example of the above of this invention.

[0041] Drawing 12 and drawing 13 are the results of measuring the leakage current density between p-n junction, and drawing 12 is the result of measuring leakage current density from many points of p-n junction, when drawing 13 forms two or more line type active patterns, when a rectangular active pattern is formed. When a trench is formed using the conventional silicon nitride pattern as a mask and it uses as a photoresist pattern chemical engraving mask by a and this invention, b is illustrated respectively, and when it is this invention, there is little leakage current density generated in a p-n junction field compared with the former, or (drawing 12) it turns out that it is almost the same (drawing 13).

[0042] Drawing 14 is the graph which measured the gate oxide-film property, and is the result of measuring the current-voltage characteristic of an MOS capacitor, after forming a gate oxide film and a gate electrode.

[0043] As shown, it turns out that the electrical property of an element says that it is not influenced even if it turns out that a current-voltage characteristic curve is very good, and it advances a CMP process as well as this invention until a substrate front face is exposed.

[0044]

[Effect of the Invention] In order to use a photoresist as a mask for trench formation like the above-mentioned according to this invention, the conventional pad oxide film and a nitride formation process, and a patterning process and a removal-after CMP process are contracted. Therefore, since a process can be simplified compared with the former, manufacture costs are reducible.

[0045] this invention is not limited to the aforementioned example and many deformation possible [within the technical thought of this invention] for a person with the usual knowledge in a field for the time being is clear.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a drawing illustrating the trench isolation process step by the conventional technology.

[Drawing 2] It is a drawing illustrating the trench isolation process step by this invention.

[Drawing 3] It is the cross section illustrated in order to explain the trench isolation method by the 1st example of this invention.

[Drawing 4] It is the cross section illustrated in order to explain the trench isolation method by the 1st example of this invention.

[Drawing 5] It is the cross section illustrated in order to explain the trench isolation method by the 1st example of this invention.

[Drawing 6] It is the cross section illustrated in order to explain the trench isolation method by the 1st example of this invention.

[Drawing 7] It is the cross section illustrated in order to explain the trench isolation method by the 2nd example of this invention.

[Drawing 8] It is the cross section illustrated in order to explain the trench isolation method by the 2nd example of this invention.

[Drawing 9] It is the cross section illustrated in order to explain the trench isolation method by the 2nd example of this invention.

[Drawing 10] It is the cross section illustrated in order to explain the trench isolation method by the 3rd example of this invention.

[Drawing 11] It is the cross section illustrated in order to explain the trench isolation method by the 3rd example of this invention.

[Drawing 12] It is a graph illustrating the result which measured the electrical property of the element formed after the trench isolation by the 1st example of the above of this invention.

[Drawing 13] It is a graph illustrating the result which measured the electrical property of the element formed after the trench isolation by the 1st example of the above of this invention.

[Drawing 14] It is a graph illustrating the result which measured the electrical property of the element formed after the trench isolation by the 1st example of the above of this invention.

[Description of Notations]

51 — Semiconductor substrate

53 — Mask pattern

55 — Thermal oxidation film

57 — Insulating layer

58 — Sacrifice oxide film

59-59' — Isolation film

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-189708

(43) 公開日 平成10年 (1998) 7月21日

(51) Int. Cl. ⁶
H01L 21/76

識別記号

F I
H01L 21/76

L

審査請求 未請求 請求項の数23 O L (全8頁)

(21) 出願番号 特願平9-334150
(22) 出願日 平成9年 (1997) 12月4日
(31) 優先権主張番号 96P66948
(32) 優先日 1996年12月17日
(33) 優先権主張国 韓国 (K R)
(31) 優先権主張番号 97P17191
(32) 優先日 1997年5月3日
(33) 優先権主張国 韓国 (K R)

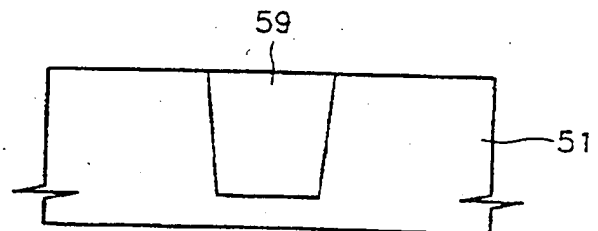
(71) 出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅離洞416
(72) 発明者 朴 泰 緒
大韓民国京畿道果川市富林洞41番地
(72) 発明者 姜 虎 圭
大韓民国京畿道城南市盆唐區蔭内洞36番地
陽地マウル212棟803號
(74) 代理人 弁理士 八田 幹雄 (外1名)

(54) 【発明の名称】 トレンチ素子分離方法

(57) 【要約】 (修正有)

【課題】 全製造工程数が削減されたトレンチ素子分離方法を提供する。

【解決手段】 フォトリソグラフィパターンを蝕刻マスクとして使い素子分離の為にトレンチを形成するので、パッド酸化膜形成、シリコン窒化膜形成、窒化膜パタニング及び除去工程段階を省略できる。また素子分離膜59、を形成した後、シリコン基板51または素子分離膜59の表面を選択的に蝕刻して段差を形成するのでゲート電極形成の様な後続工程の為にアラインキー形成段階を縮められる。



【特許請求の範囲】

【請求項1】 半導体基板上にパタニングされた物質層を形成する段階と、

前記パタニングされた物質層を蝕刻マスクとして使い、前記基板を所定深さで蝕刻してトレンチを形成する段階と、

前記パタニングされた物質層を取り除く段階と、

前記トレンチを絶縁層で埋め込む段階と、

絶縁層で埋め込まれたトレンチの形成された前記結果物に対して前記基板が露出されるまで平坦化しトレンチ素子分離膜を完成する段階とを備えることを特徴とするトレンチ素子分離方法。

【請求項2】 前記パタニングされた物質層を形成する段階は、

半導体基板上に物質層を形成する段階と、

前記物質層をパタニングしてパタニングされた物質層を形成する段階とを備えることを特徴とする請求項1に記載のトレンチ素子分離方法。

【請求項3】 前記物質層はフォトリソ層を備えることを特徴とする請求項2に記載のトレンチ素子分離方法。

【請求項4】 前記物質層は酸化膜を備えることを特徴とする請求項2に記載のトレンチ素子分離方法。

【請求項5】 前記物質層を形成する段階の前、

前記半導体基板上に前記物質層と基板との接着性を強化するための酸化膜を形成し、

前記物質層をパタニングする段階の後、

酸化膜をパタニングして酸化膜パターンを形成することを特徴とする請求項2に記載のトレンチ素子分離方法。

【請求項6】 前記平坦化する段階は、

絶縁層で埋め込まれたトレンチの形成された前記結果物をCMPする段階を備えることを特徴とする請求項1に記載のトレンチ素子分離方法。

【請求項7】 前記平坦化する段階の後、

素子分離膜の形成された前記結果物全面に犠牲酸化膜を形成する段階と、

犠牲酸化膜の形成された結果物全面に不純物を注入する段階と、

前記犠牲酸化膜を取り除く段階とをさらに取り備えることを特徴とする請求項1に記載のトレンチ素子分離方法。

【請求項8】 前記不純物を注入する段階は、ウェル形成、チャンネル阻止領域形成、及びスレショルド電圧調節用イオン注入段階であることを特徴とする請求項7に記載のトレンチ素子分離方法。

【請求項9】 前記犠牲酸化膜を形成する段階の前、前記素子分離膜表面が前記基板に対してリセスされるよう前記素子分離膜表面を選択的に蝕刻する段階をさらに備えることを特徴とする請求項7に記載のトレンチ素子分離方法。

【請求項10】 前記選択的に蝕刻する段階は、素子分離膜表面を蝕刻して素子分離膜と基板表面に100~1000オングストローム程度の段差を形成することを特徴とする請求項9に記載のトレンチ素子分離方法。

【請求項11】 前記段差を後続工程のアラインキーとして用いることを特徴とする請求項10に記載のトレンチ素子分離方法。

【請求項12】 前記選択的に蝕刻する段階は、硝酸(HNO₃)、水酸化アンモニウム(NH₄OH)及び過酸化水素水(H₂O₂)が混合された溶液、並びに希釈されたフッ酸(HF)のいずれかを用いる湿式蝕刻するか、又はプラズマによる乾式蝕刻することを特徴とする請求項9に記載のトレンチ素子分離方法。

【請求項13】 前記犠牲酸化膜を形成する段階の前、前記基板表面が前記素子分離膜に対してリセスされるよう前記基板表面を選択的に蝕刻する段階をさらに備えることを特徴とする請求項7に記載のトレンチ素子分離方法。

【請求項14】 前記選択的に蝕刻する段階は、前記基板表面を蝕刻して、素子分離膜と基板表面に100~1000オングストローム位の段差を形成することを特徴とする請求項13に記載のトレンチ素子分離方法。

【請求項15】 前記段差を後続工程のアラインキーとして用いることを特徴とする請求項14に記載のトレンチ素子分離方法。

【請求項16】 前記蝕刻は、フッ化アンモニウム(NH₄F)とフッ酸(HF)とが混合された溶液を用いた湿式蝕刻を備えることを特徴とする請求項13に記載のトレンチ素子分離方法。

【請求項17】 前記犠牲酸化膜を取り除く段階は、前記基板表面と素子分離膜表面とが平坦化されるよう前記犠牲酸化膜をオーバーエッチすることを特徴とする請求項13に記載のトレンチ素子分離方法。

【請求項18】 前記不純物を注入する段階は、ウェル形成、チャンネル阻止領域形成、及びスレショルド電圧調節用イオン注入段階を備えることを特徴とする請求項13に記載のトレンチ素子分離方法。

【請求項19】 前記タニングされた物質層を取り除く段階の後、トレンチ形成の際に生じた欠陥を取り除く為に、パタニングされた物質層の取り除かれた結果物全面に薄い熱酸化膜を形成する段階をさらに備えることを特徴とする請求項1に記載のトレンチ素子分離方法。

【請求項20】 前記絶縁層を形成する段階の後、前記絶縁層の結合を強化するための熱処理工程をさらに備えることを特徴とする請求項1に記載のトレンチ素子分離方法。

【請求項21】 前記熱処理工程は700~1200℃、窒素(N₂)雰囲気中30分~16時間行うことを特徴とする請求項20に記載のトレンチ素子分離方法。

【請求項22】 半導体基板上にパタニングされた物質

層を形成する段階と、

前記パタニングされた物質層を蝕刻マスクとして使い、
前記基板を所定深さで蝕刻してトレンチを形成する段階
と、

前記パタニングされた物質層を取り除く段階と、

前記トレンチを絶縁層で埋め込む段階と、

絶縁層の形成された前記結果物に対して前記基板が露出
されるまで平坦化し素子分離膜を形成する段階と、

前記基板表面を選択的に蝕刻して、前記平坦化工程によ
る半導体基板の損傷や汚染を最小化し、後続工程のア
ラインキーとして使える様に、前記素子分離膜表面と基板
表面との間に段差を形成する段階とを備えることを特徴
とするトレンチ素子分離方法。

【請求項23】 半導体基板上にパタニングされた物質
層を形成する段階と、

前記パタニングされた物質層を蝕刻マスクとして使い、
前記基板を所定深さで蝕刻してトレンチを形成する段階
と、

前記パタニングされた物質層を取り除く段階と、

前記トレンチを絶縁層で埋め込む段階と、

絶縁層の形成された前記結果物に対して前記基板が露出
されるまで平坦化し素子分離膜を形成する段階と、

前記素子分離膜表面を選択的に蝕刻して、後続工程のア
ラインキーとして使える様に、前記素子分離膜表面と基
板表面との間に段差を形成する段階とを取り備えること
を特徴とするトレンチ素子分離方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の素子分
離方法に係り、特にトレンチ素子分離方法に関する。

【0002】

【従来の技術】 メモリ半導体装置が高集積化且つ微細化
されていくにつれ、素子間を分離する素子分離領域の縮
少は重要な項目として擡げられている。素子分離領域の
形成は全ての製造工程段階における初期段階の工程であ
り、活性領域の大きさ及び後工程段階の工程マージン
(margin)を左右することになる。従って、チップ
パターン全体を比例縮小していくにおいて素子分離領
域の比例縮小は必須である。

【0003】 一般に、半導体装置の製造に広く用いられ
る選択的酸化による素子分離方法(LOCAL Oxidation of Silicon; 以下LOCOS)は、その工程が簡単であるという利点がある。然し、256M DRAM級以上の高集積化された半導体装置における前記LOCOS工程は、素子分離の幅(Width)が減少するにつれ、酸化の際に伴うバースピーク(Bird's Beak)によるパンチスルーやフィールド酸化膜の厚さ減少等と言った問題点によってその限界に至っている。

【0004】 LOCOS工程の問題点を改善するために

提案されたトレンチを用いた素子分離方法は、LOCOS方法の様に熱酸化工程によらずフィールド酸化膜が形成されるので、熱酸化工程によって誘発されるLOCOS方法における短所をある程度減らすことができる。

尚、半導体基板に一定の深さのトレンチを形成しその内部を絶縁物質にて埋め込むため、同一の素子分離の幅に対してLOCOSより深い素子分離深さを有し得る。

【0005】 トレンチ素子分離方法が論文" A Highly Manufacturable Trench Isolation Process for Deep Submicron DRAMs" (57~ 60 ページ、IEDM Tech. Digest, 1993、著者: P. Fazan et al.) に例をあげて開示されている。

【0006】 図1は前記論文によるトレンチ素子分離段階を図示している。パッド酸化膜とシリコン窒化膜とを形成し(段階I及びII)、シリコン窒化膜上にトレンチの形成される部分を露出させるためのフォトレジストパターンを形成する(段階III)。前記フォトレジストパターンをマスクとして使ってシリコン窒化膜とパッド酸化膜とをパタニングし(段階IV)、フォトレジストパターンを取り除いた後(段階V)、パタニングされたシリコン窒化膜とパッド酸化膜とをマスクとして使い基板を蝕刻することによってトレンチを形成する(段階VI)。トレンチ側壁を熱酸化させ、トレンチを埋め込む酸化膜をCVD方法を用いて形成する(段階VII)。トレンチを埋め込むCVD酸化膜をCMP (Chemical-Mechanical Polishing) して平坦化させる(段階VIII)。パタニングされたシリコン窒化膜を取り除く(段階IX)。図示していないが、段階IXの後酸化膜の側壁に酸化物スペーサを形成し、パッド酸化膜を湿式蝕刻して素子分離層を完成する。

【0007】

【本発明が解決しようとする課題】 本発明が果たそうとする技術的課題は、全体製造工程数の減少されたトレンチ素子分離方法を提供することである。

【0008】 本発明が果たそうとする別の技術的課題は、後続されるアラインキー形成工程を省略できるトレンチ素子分離方法を提供することである。

【0009】

【課題を解決する為の手段】 前記課題を果たすためのトレンチ素子分離方法によると、半導体基板上にパタニングされた物質層を形成する。次いで、前記パタニングされた物質層を蝕刻マスクとして使い前記基板を所定深さで蝕刻してトレンチを形成し、前記パタニングされた物質層を取り除く。引続き、前記トレンチを絶縁層で埋め込み、絶縁層で埋め込まれたトレンチの形成された前記結果物に対して前記基板が露出されるまで平坦化しトレンチ素子分離膜を完成する。

【0010】前記パタニングされた物質層はフォトレジストにて形成できる。従って、パッド酸化膜形成、シリコン窒化膜形成、パタニング及び除去工程段階を縮められる。

【0011】前記課題及び別の課題を果たす為のトレンチ素子分離方法によれば、前記化学-機械的研磨工程後、前記素子分離膜表面を選択的に蝕刻でき、これによって形成された前記素子分離膜表面と基板表面との段差を後続工程のアラインキーとして使える。

【0012】また、前記課題及び別の課題を果たす為のトレンチ素子分離方法によれば、前記化学-機械的研磨工程後、前記基板表面を選択的に蝕刻できる。これによって形成された前記素子分離膜表面と基板表面との段差を後続工程のアラインキーとして使い、前記化学-機械的研磨工程による半導体基板の損傷や汚染をも最小化できる。

【0013】そして、本発明によれば、形成される素子の特性を向上させる為工程がさらに追加されることもあり得るが、その例として、マスクパターンの取り除かれた結果物全面に薄い熱酸化膜を形成しトレンチ形成の際に生じた欠陥を取り除けると共に、絶縁層を形成した後、熱処理工程を遂行して絶縁層の結合を強化できる。尚、物質層形成の前、半導体基板上に酸化膜を形成し、物質層と半導体基板の接着性を強化できる。

【0014】

【発明の実施の形態】以下、添付した図面を参照して本発明の望ましい実施例を詳細に説明する。然し、本発明は以下に開示される実施例に限定されなく相違なる様々な形態で具現される筈であり、本実施例は単に本発明の開始を完全にし、通常の知識を有する者に発明の範ちゅうを完全に知らせるために提供されるのである。添付された図面において多くの膜と領域等の厚さは明瞭性のために強調された。また或る膜が他の膜または基板上に存在すると指称される時、他の膜または基板の真上にもあり得るし、層間膜が存在することもあり得る。図面において同一参照符号は同一部材を表す。図2に示したトレンチ素子分離工程段階以外にも、トレンチ素子分離領域の分離特性を向上させるための様々な段階を追加できる。

【0015】図2を参照すれば、半導体基板の一面にフォトレジストパターンを形成し（段階A）、前記半導体基板内にトレンチを形成する（段階B）。次いで、前記フォトレジストパターンを取り除き（段階C）、トレンチを絶縁物質で埋め込んだ後（段階D）、平坦化させる（段階E）。図2に示した様に、本発明のトレンチ素子分離工程が単にフォトレジストパターンをマスクとして用いるため、図1に示した4つの段階、即ち、パッド酸化膜形成段階I、シリコン窒化膜形成段階II、シリコン窒化膜パタニング段階IV、及びシリコン窒化膜除去段階IX等の段階が不要になる。これによって半導体素

子製造工程を単純化できるので製造経費の節減が可能である。

【0016】＜第1実施例＞前記工程による本発明の第1実施例を図3乃至図6を参照して説明する。

【0017】図3を参照すれば、半導体基板51の一面に蝕刻マスクとして用いられた物質、例えばフォトレジストを塗布してフォトレジスト層を形成した後、前記基板の一部を露出させる様にパタニングしてパタニングされた物質層53を形成する。望ましい実施例によれば、前記マスクパターン53を形成する前、薄い熱酸化膜や化学気相蒸着法を用いたシリコン酸化膜を形成して、前記マスクパターン53と基板51との接着性を向上できる。尚、前記マスクパターン53はフォトレジストの代わりにシリコン酸化物でもその形成が可能であるが、この時はより微細なトレンチが形成できる。

【0018】図4を参照すれば、前記マスクパターン53を蝕刻マスクとして使い、前記基板51を所定深さで蝕刻することでトレンチTを形成する。

【0019】図5は絶縁層57を形成する段階を図示したものである。

【0020】例えば、前記マスクパターン53がフォトレジストにて形成された場合、前記マスクパターン53をフォトレジストアッシング（Ashing）の様な通常の方法で取り除く。次いで、前記トレンチTを埋め込み、前記基板51上に所定の厚さを持つ絶縁層57を形成する。

【0021】前記絶縁層57は、不純物のドーブされていないシリコン酸化物（USG）にて形成でき、化学気相蒸着法、例えば高密度プラズマ（high density plasma）を用いた化学気相蒸着法で形成できる。

【0022】以上述べた様に、前記マスクパターン53をシリコン酸化物にて形成する場合、前記マスクパターン53は前記絶縁層57形成の前に取り除くか、以降の前記絶縁層57平坦化の際に取り除ける。

【0023】本発明の望ましい実施例によれば、トレンチを形成するためのプラズマ蝕刻時発生できる基板51の欠陥及びストレスを取り除くため、前記絶縁層57形成の前、マスクパターン53の取り除かれた結果物全面に約50～250オングストロームの厚さの薄い熱酸化膜55を形成できる。

【0024】また、本発明の望ましい実施例によれば、前記絶縁層の形成後、前記絶縁層57の結合を強化させるための熱処理工程を700℃～1200℃、望ましくは約1000℃、窒素（N₂）雰囲気中で30分～16時間、望ましくは約1時間位実施できる。

【0025】図6を参照すれば、前記半導体基板51が露出されるまでCMPして、前記絶縁層57を平坦化することによってトレンチを埋め込む素子分離膜59を形成する。次いで、図示されてはいないが、犠牲酸化工程

を通じて犠牲酸化膜を50~200オングストロームの厚さに成長させ、その結果物全面に不純物イオン注入、例えばウェル、チャンネル阻止、またはスレシヨルド電圧調節用イオン注入を行った後、BOE (Buffered Oxide Etchant) やフッ酸 (HF) の様なシリコン酸化膜エッチャントを用いて前記犠牲酸化膜を取り除く工程を更に備えられる。

【0026】この様な犠牲酸化工程は、CMP工程により発生できる基板表面の欠陥や損傷等を回復させる役割をし、従って、良質のゲート酸化膜成長が可能になる。本発明によるトレンチ素子分離後形成されたゲート酸化膜の電気的特性を測った結果が図14に図示されている。

【0027】以上前述べた様に、本発明の第1実施例によれば、フォトレジストをマスクとして使って基板にトレンチを形成し、トレンチ形成後このマスクを取り除くため、従来のパッド酸化膜成長工程、窒化膜蒸着工程、これらのパターンを形成する為の蝕刻工程、及び除去工程等が不要になるので、従来に比べてより単純化した工程を通じて素子分離膜形成が可能である。

【0028】<第2実施例>図7及び図9は本発明の第2実施例によるトレンチ素子分離方法を説明する為に図示した断面図である。本発明の第2実施例は第1実施例における前記CMP工程後、素子分離膜が基板に比べてリセスされる様にするのを除いては前記第1実施例と同一に進められる。

【0029】図7を参照すれば、第1実施例と同じく、絶縁層57を形成し、前記絶縁層57を前記半導体基板51が露出されるまでCMPして平坦化する段階まで進める。次いで、前記素子分離膜59を一定の深さで蝕刻して、前記基板51に比べてリセスされた素子分離膜59を形成する。この節、前記蝕刻は、素子分離膜59のみを選択的に蝕刻できるエッチャント、例えば硝酸 (HNO_3)、水酸化アンモニウム (NH_4OH) 及び過酸化水素水 (H_2O_2) が混合された溶液、あるいはフッ酸 (HF) の様な酸化膜エッチャントを用いた湿式蝕刻を用いるか、プラズマによる乾式蝕刻を用いられる。

【0030】この時、蝕刻される深さ、即ち蝕刻により形成される素子分離膜59表面と基板51表面との段差を100~1000オングストローム程度にするのが望ましい。この段差は以降の工程、例えばゲート電極形成の為の写真工程でアラインキー (align key) として使える。従来の一般的なトレンチ素子分離方法によれば、CMP後の平坦度が良好なので最終構造で段差が殆どなくなり、後続工程の為のアラインキーパターンを別に形成しなければならない。然し、前記第2実施例と同じく、アライン装置により認識される程の段差を形成することで、アラインキー形成工程を削除できる。

【0031】以降、図8及び図9に示した様に、リセスされた素子分離膜59の形成された結果物全面に、犠牲酸化工程を追加して犠牲酸化膜58を50~200オングストロームの厚さに成長させ、その結果物全面に不純物イオン注入、例えばウェル、チャンネル阻止、あるいはスレシヨルド電圧調節用イオン注入を行った後、BOEもしくはフッ酸の様な酸化膜エッチャントを使い前記犠牲酸化膜58を取り除くことで、素子分離膜59を完成できる。

【0032】以上説明した第2実施例によると、CMP後素子分離膜を選択的に蝕刻して素子分離膜と基板間の段差を形成した後、これを後続工程でアラインキーとして活用する。従って、製造工程をより単純化できる。

【0033】図10及び図11は本発明の第3実施例によるトレンチ素子分離方法を説明する為に図示した断面図である。本発明の第2実施例は第1実施例における前記CMP工程後、前記第2実施例とは反対に、基板51が素子分離膜59に比べてリセスされる様にするのを除いては前記第1実施例と同一に進められる。

【0034】<第3実施例>図10を参照すれば、先ず、絶縁層57を形成し、前記絶縁層57を前記半導体基板51が露出されるまでCMPして平坦化する段階までは前記第1実施例と同じ方法で進める。次いで、前記基板のみを蝕刻できるエッチャント、例えばフッ化アンモニウム (NH_4F) とフッ酸 (HF) とが混合された溶液を用いた湿式蝕刻を通じて前記基板51を選択的に一定の深さで蝕刻する。

【0035】これによって、前記基板51表面は素子分離膜59に比べてリセスされた形態を有することになる。この様に基板表面を一定の深さで蝕刻するのは、CMP工程中発生できるストレスやそれによる欠陥、あるいはCMPで用いられるスラリー中に含まれているパーティクル (Particle) を基板表面で取り除く為である。

【0036】図11を参照すれば、リセスの形成された前記結果物全面に、犠牲酸化工程を通じて犠牲酸化膜 (図示せず) を50~400オングストロームの厚さに成長させ、その結果物全面に不純物イオン注入、例えばウェル、チャンネル阻止、又はスレシヨルド電圧調節用イオン注入を行った後、BOEやフッ酸の様な酸化膜エッチャントを使い前記犠牲酸化膜を取り除くことで、素子分離膜59を完成する。

【0037】この時、示した様に前記犠牲酸化膜除去の際にオーバーエッチ (over-etch) を行つて、前記基板51表面と素子分離膜59表面を平坦にすることができる。

【0038】尚、前記第2実施例と同じく、素子分離膜表面と基板表面との段差が100~1000オングストローム程度になる様前記基板51を蝕刻し、この段差を後続工程のアラインキーとして使えるが、この場合は、

前記犠牲酸化膜除去の際にオーバーエッチしない。

【0039】以上、説明した第3実施例によれば、第1実施例と同じ工程単純化の効果を奏で、これと共に、CMP後半導体基板を選択的に蝕刻することでCMPによる半導体基板損傷や汚染等を最小化できる。また、前記第2実施例と同じく素子分離膜表面と基板表面との段差を後続工程でアラインキーとして活用することで、製造工程をより単純化できる。

【0040】図12乃至図14は本発明の前記第1実施例によるトレンチ素子分離後、素子の電気的特性を測った結果を図示したグラフである。

【0041】図12及び図13はp-n接合間の漏れ電流密度を測った結果であり、図12は長方形のアクティブパターンを形成した場合、図13はライン型のアクティブパターンを複数個形成した場合p-n接合の多くの地点から漏れ電流密度を測った結果である。従来のシリコン窒化膜パターンをマスクとして使ってトレンチを形成した場合aと本発明によるフォトレジストパターン蝕刻マスクとして使った場合bが各々図示されており、本発明の場合、p-n接合領域で発生される漏れ電流密度は従来に比べて少ないか(図12)、あるいは殆ど同じ(図13)であることがわかる。

【0042】図14はゲート酸化膜特性を測ったグラフで、ゲート酸化膜とゲート電極を形成した後、MOSキャパシタの電流-電圧特性を測った結果である。

【0043】示した様に、電流-電圧特性曲線が非常に良好であることが分かり、本発明と同じくCMP工程を基板表面が露出されるまで進めても素子の電気的特性は影響を受けないということが分かる。

【0044】

【発明の効果】前述の如く本発明によれば、トレンチ形成のためのマスクとしてフォトレジストを使うため従来のパッド酸化膜及び窒化膜形成工程と、パタニング工程、CMP後除去工程を縮められる。従って、従来に比べて工程を単純化できるので製造費用を節減できる。

【0045】本発明は前記実施例に限定されなく、多くの変形が本発明の技術的思想内で当分野における通常の知識を有した者にとって可能であることは明らかである。

【図面の簡単な説明】

【図1】 従来技術によるトレンチ素子分離工程段階を図示した図面である。

【図2】 本発明によるトレンチ素子分離工程段階を図示した図面である。

【図3】 本発明の第1実施例によるトレンチ素子分離方法を説明する為に図示した断面図である。

【図4】 本発明の第1実施例によるトレンチ素子分離方法を説明する為に図示した断面図である。

【図5】 本発明の第1実施例によるトレンチ素子分離方法を説明する為に図示した断面図である。

【図6】 本発明の第1実施例によるトレンチ素子分離方法を説明する為に図示した断面図である。

【図7】 本発明の第2実施例によるトレンチ素子分離方法を説明する為に図示した断面図である。

【図8】 本発明の第2実施例によるトレンチ素子分離方法を説明する為に図示した断面図である。

【図9】 本発明の第2実施例によるトレンチ素子分離方法を説明する為に図示した断面図である。

【図10】 本発明の第3実施例によるトレンチ素子分離方法を説明する為に図示した断面図である。

【図11】 本発明の第3実施例によるトレンチ素子分離方法を説明する為に図示した断面図である。

【図12】 本発明の前記第1実施例によるトレンチ素子分離後形成された素子の電気的特性を測った結果を図示したグラフである。

【図13】 本発明の前記第1実施例によるトレンチ素子分離後形成された素子の電気的特性を測った結果を図示したグラフである。

【図14】 本発明の前記第1実施例によるトレンチ素子分離後形成された素子の電気的特性を測った結果を図示したグラフである。

【符号の説明】

51…半導体基板

53…マスクパターン

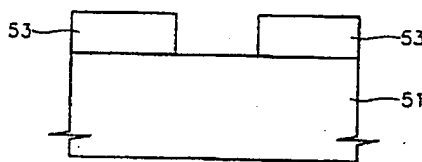
55…熱酸化膜

57…絶縁層

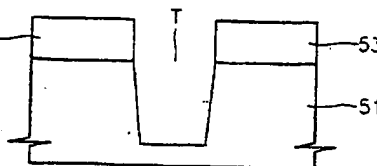
58…犠牲酸化膜

59、59'…素子分離膜

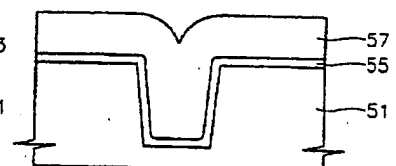
【図3】



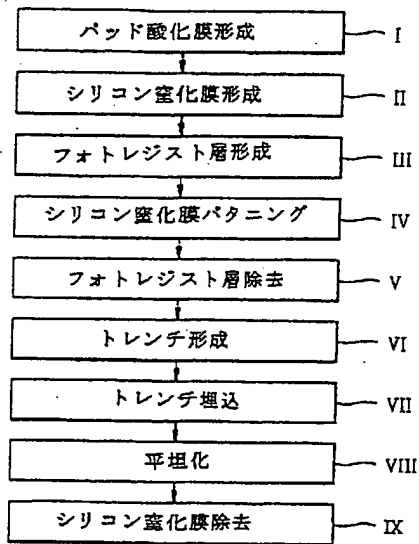
【図4】



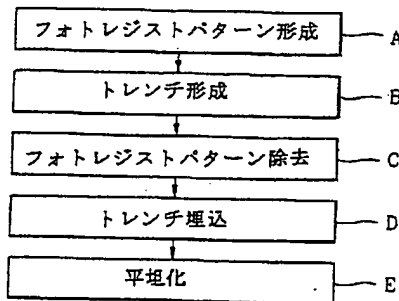
【図5】



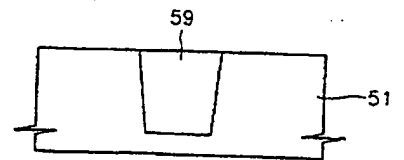
【図1】



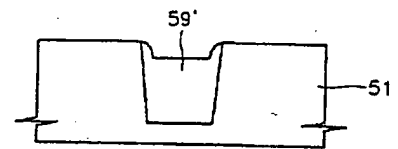
【図2】



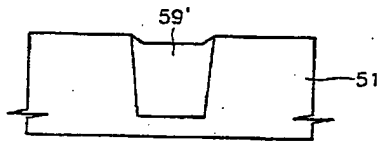
【図6】



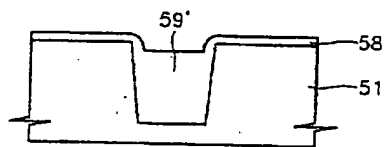
【図9】



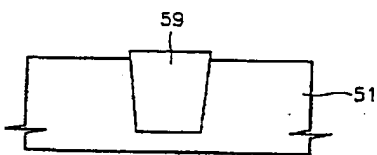
【図7】



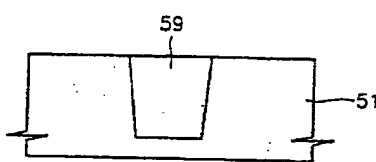
【図8】



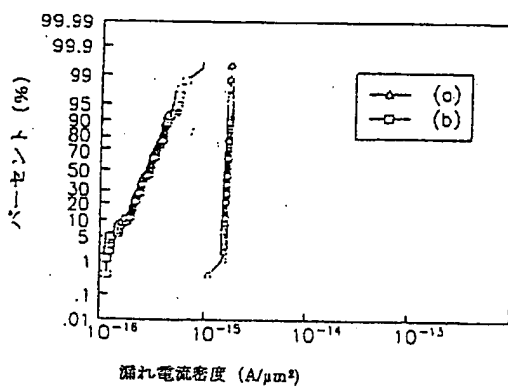
【図10】



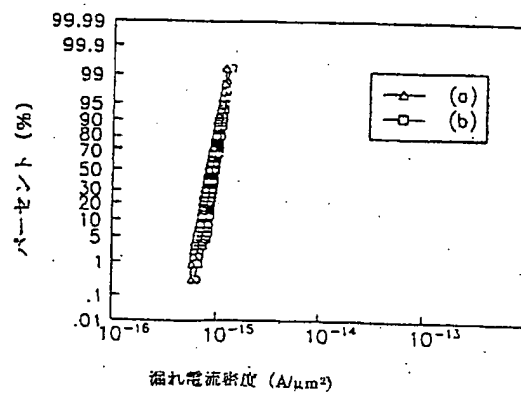
【図11】



【図12】



【図13】



【図14】

